COURSE CATALOG FORM
(DERS KATALOG FORMU)

<table>
<tr><td colspan="3">Course Code: ELEC1421
(Dersin Kodu)</td><td colspan="5">Course Name: Logic Design (Mantık Tasarımı)
(Dersin Adı)</td></tr>
<tr><td>Semester
(Yarıyıl)</td><td>Lc+L+PS
(D+L+U)</td><td>Local Credit
(Yerel Kredi)</td><td>ECTS
(AKTS)</td><td>Language
(Dersin Dili)</td><td>Category
(Dersin Türü)</td><td>(Instructional Method
(Dersin İşleniş
Yöntemi)</td><td>Ön Koşulları
(Prerequisites)</td></tr>
<tr><td>3</td><td>(3+2+1)</td><td>4</td><td>6</td><td>English
(İngilizce)</td><td>Core
(Zorunlu)</td><td>Lecture + Laboratory
(Ders + Laboratuvar)</td><td>-</td></tr>
<tr><td colspan="3">Course Objectives
(Dersin Amacı)</td><td colspan="5">To provide the foundations of digital logic design and enable students to analyze, design, simulate, implement, test, and verify combinational and sequential digital circuits using modern digital-design tools.

(Sayısal mantık tasarımının temellerini kazandırmak; öğrencilerin birleşimsel ve ardışıl sayısal devreleri modern sayısal tasarım araçları kullanarak analiz etmelerini, tasarlamalarını, benzetmelerini, gerçekleştirmelerini, test etmelerini ve doğrulamalarını sağlamaktır.)</td></tr>
<tr><td colspan="3">Course Content
(Dersin İçeriği)</td><td colspan="5">Number systems and digital codes; Boolean algebra; logic gates; canonical forms and circuit minimization; combinational circuit analysis and design; arithmetic circuits; multiplexers, decoders, encoders, comparators, ROM/PLA/PAL structures; latches and flip-flops; sequential circuit analysis and design; registers, counters, finite-state machines, memory and control structures. Laboratory activities include design, simulation, testing, debugging, and verification of combinational and sequential circuits.

(Sayı sistemleri ve sayısal kodlar; Boole cebiri; mantık kapıları; kanonik biçimler ve devre sadeleştirme; birleşimsel devrelerin analizi ve tasarımı; aritmetik devreler; veri seçiciler, kod çözücüler, kodlayıcılar, karşılaştırıcılar, ROM/PLA/PAL yapıları; tutucular ve flip-floplar; ardışıl devrelerin analizi ve tasarımı; yazmaçlar, sayıcılar, sonlu durum makineleri, bellek ve kontrol yapıları. Laboratuvar çalışmaları ile birleşimsel ve ardışıl devreler tasarlanır, benzetilir, test edilir, hata ayıklama ve doğrulama gerçeklenir.)</td></tr>
<tr><td colspan="3" rowspan="2">Course Learning Outcomes
(Dersin Öğrenme Çıktıları)</td><td colspan="5">1. Represent numbers and digital codes, and perform arithmetic operations in binary, octal, hexadecimal, and signed-number systems. <1.1, 1.2>
2. Analyze and simplify Boolean functions using Boolean algebra, canonical forms, and Karnaugh maps. <1.2, 2.1>
3. Analyze and design combinational circuits using logic gates, arithmetic blocks, multiplexers, decoders, encoders, and memory-based structures under specified functional constraints. <2.1, 3.1, 3.2>
4. Analyze sequential circuits and derive their characteristic equations, timing behavior, state tables, and state diagrams. <2.1, 4.1>
5. Design registers, counters, and finite-state machines under specified functional and timing constraints. <3.1, 3.2, 4.1>
6. Implement, simulate, test, debug, and verify digital logic circuits using CircuitVerse or equivalent modern design tools, and interpret discrepancies between expected and observed behavior. <4.1, 5.3>

[Note: Numbers in brackets are the related program outcome PO numbers]</td></tr>
<tr><td colspan="5">1. Sayıları ve sayısal kodları gösterir; ikili, sekizli, onaltılı ve işaretli sayı sistemlerinde aritmetik işlemler gerçekleştirir. <1.1, 1.2></td></tr>
</table>

	2. Boole fonksiyonlarını Boole cebiri, kanonik biçimler ve Karnaugh haritaları kullanarak analiz eder ve sadeleştirir. <1.2, 2.1> 3. Mantık kapıları, aritmetik bloklar, veri seçiciler, kod çözücüler, kodlayıcılar ve bellek tabanlı yapılar kullanarak, verilen işlevsel kısıtlar altında birleşimsel devreleri analiz eder ve tasarlar. <2.1, 3.1, 3.2> 4. Ardışıl devreleri analiz eder; karakteristik denklemlerini, zamanlama davranışlarını, durum tablolarını ve durum diyagramlarını çıkarır. <2.1, 4.1> 5. Verilen işlevsel ve zamanlama kısıtları altında yazmaçlar, sayıcılar ve sonlu durum makineleri tasarlar. <3.1, 3.2, 4.1> 6. Sayısal mantık devrelerini CircuitVerse veya eşdeğer modern tasarım araçlarıyla gerçekleştirir, benzetir, test eder, hata ayıklar ve doğrular; beklenen ve gözlenen davranış arasındaki farklılıkları yorumlar. <4.1, 5.3> *[Not: Köşeli parantez içindeki sayılar ilgili program çıktı PÇ numaralarıdır]*
ISCED Category of course (Dersin ISCED Kategorisi)	0714 - Electronics and automation (0714 - Elektronik ve otomasyon)
Textbook (Ders Kitabı)	M. Morris Mano, Charles R. Kime, Logic and Computer Design Fundamentals, Pearson, 5th edition.
Other References (Yardımcı Kaynaklar)	Stephen Brown, Zvonko Vranesic, Fundamentals of Digital Logic with VHDL Design, McGraw-Hill.

COURSE PLAN (DERS PLANI)		
Week (Hafta)	**Theory Topics (Teorik Konular)**	**Laboratory/CircuitVerse Work (Laboratuvar/CircuitVerse Çalışması)**
1	Introduction to digital systems; binary logic; abstraction levels (Sayısal sistemlere giriş; ikili mantık; soyutlama düzeyleri)	Lab 1- CircuitVerse fundamentals and logic-gate verification
2	Number systems, digital codes, signed numbers, and binary arithmetic (Sayı sistemleri, sayısal kodlar, işaretli sayılar ve ikili aritmetik)	Lab 2- Number systems and binary arithmetic
3	Boolean algebra; logic gates; universal-gate realizations (Boole cebiri; mantık kapıları; evrensel kapılarla gerçekleştirme)	Lab 3 - Boolean functions with NAND/NOR only
4	Canonical SOP/POS forms; minterms, maxterms, and circuit equivalence (Kanonik SOP/POS biçimleri; minterm, maxterm ve devre eşdeğerliği)	Lab 4 - Canonical forms and equivalence verification
5-6	Karnaugh maps; minimization; gate-count and logic-depth trade-offs (Karnaugh haritaları; sadeleştirme; kapı sayısı ve mantık derinliği ödünleşimi)	Lab 5 - K-map minimization and design comparison
7	Arithmetic circuits: half/full adders, subtractors, carry and overflow (Aritmetik devreler: yarım/tam toplayıcılar, çıkarıcılar, elde ve taşma)	Lab 6 - Hierarchical adder/subtractor design

8	Multiplexers and demultiplexers; function implementation using MUX (Veri seçiciler ve dağıtıcılar; MUX ile fonksiyon gerçekleştirme)	Lab 7 - MUX-based logic design
9	Decoders, encoders, comparators, ROM, PLA and PAL structures (Kod çözücüler, kodlayıcılar, karşılaştırıcılar, ROM, PLA ve PAL yapıları)	Lab 8 - Decoder/encoder and ROM-based implementation
10-11	Latches and flip-flops; characteristic and excitation tables; timing (Tutucular ve flip-floplar; karakteristik ve uyarım tabloları; zamanlama)	Lab 9- Latches, flip-flops, and timing verification
12	Sequential-circuit analysis; state tables and state diagrams (Ardışıl devre analizi; durum tabloları ve durum diyagramları)	Lab 10 - Sequential-circuit analysis and simulation
13	Registers, shift registers, synchronous and asynchronous counters (Yazmaçlar, kaydırmalı yazmaçlar, senkron ve asenkron sayıcılar)	Lab 11- Registers and mod-N counter design
14	Finite-state-machine design; Moore/Mealy models; memory and control overview (Sonlu durum makinesi tasarımı; Moore/Mealy modelleri; bellek ve kontrol yapıları)	Lab 12 - Integrated FSM design and verification

DERSİN DEĞERLENDİRME SİSTEMİ
(COURSE ASSESSMENT)

	Etkinlikler (Activities)	**Adet (Quantity)**	**Katkı Oranı (Contribution) (%)**
Semester Activities **(Yarıyıl İçi Çalışmaları)**	**Kısa Sınavlar (Quizzes)**		
	Arasınavlar (Midterm Exams)	2	30
	Proje (Project)		
	Laboratuar (Laboratory)	12	30
YARIYIL SONU SINAVI (FINAL EXAM)		1	40
Toplam (Total)			100

AKTS İŞ YÜKÜ TABLOSU
(ECTS WORKLOAD TABLE)

DERS ETKİNLİKLERİ (COURSE ACTIVITIES)	**Sayı (Quantity)**	**Süre (Saat) (Time (h))**	**İş Yükü (saat) (Work - Load (h))**
Ders (Lecture)	14	3	42
Uygulama (Problem Solving)	14	1	14
Yarıyıl Sonu Sınavı (Hazırlık Süresi Dahil) (Final Exam (Preparation included))	1	20	20
Kısa Sınavlar (Hazırlık Süresi Dahil) (Quizzes (Preparation included))			

Dönem Ödevi / Projesi (Term Project)			
Sınıf Dışı Çalışma Süresi (Out-of-class working time)	14	2	28
Ödevler (Homework)			
Sunum (Presentations)			
Arasınavlar (Hazırlık Süresi Dahil) (Midterm Exams (Preparation included))	2	10	20
Proje (Projects)			
Laboratuvar - hazırlık dahil (Laboratory - including preparation)	14	2	28
Toplam İş Yükü (saat) (Total Work - Load (h))			**152**
Dersin AKTS Kredisi (Toplam İş Yükü / 25) (ECTS Credits of the course (Total Work - Load / 25))			**6**

Revizyon/Tarih (Revision/Date) 12/07/2026	**Hazırlayan (Prepared by)** Dr. R. Murat Demirer, Dr. Ramazan Köprü Dr. Ebru Gürsu Çimen	**Onaylayan (Approved by)** Prof. Dr. Ahmet Aksen