

COURSE CATALOG FORM
(DERS KATALOG FORMU)

| Course Code: ELEC1402 (Dersin Kodu) | | | Course Name: Logic Design Laboratory (Dersin Adı) Mantık Devreleri Laboratuvarı | | | | |
|--|--------------------|-------------------------------|--|---------------------------|---------------------------|--|---------------------------------|
| Semester (Yarıyıl) | Lc+L+PS (D+L+U) | Local Credit (Yerel Kredi) | ECTS (AKTS) | Language (Dersin Dili) | Category (Dersin Türü) | (Instructional Method (Dersin İşleniş Yöntemi) | Ön Koşulları (Prerequisites) |
| 4 | (0+2+0) | 1 | 2 | English (İngilizce) | Core (Zorunlu) | Laboratory (Laboratuvar) | |
| Course Objectives (Dersin Amacı) | | | <p>The objective of this course is to provide practical experience in the design, analysis, and implementation of digital logic circuits. It aims to integrate theoretical knowledge with practical application by utilizing Boolean simplification techniques, developing combinational and sequential modules, and employing VHDL for simulation, while developing professional skills in technical reporting and teamwork.</p> <p>Bu dersin amacı, sayısal mantık devrelerinin tasarımı, analizi ve gerçekleştirilmesi konusunda uygulamalı deneyim kazandırmaktır. Ders, Boolean sadeleştirme tekniklerini kullanarak, kombinyonel ve ardışıl modüller geliştirerek ve simülasyon için VHDL'den yararlanarak kuramsal bilgiyi uygulamayla bütünleştirirken, teknik raporlama ve takım çalışması alanlarında profesyonel becerilerin geliştirilmesini hedefler.</p> | | | | |
| Course Content (Dersin İçeriği) | | | <p>Verification of logic gates. Introduction to combinational circuits. Introduction to VHDL. Binary adder circuit. Binary adder-subtractor circuit. Combinational circuit design. Multiplexers. Flip-flops. Counters.</p> <p>Mantık kapılarının doğrulanması. Birleşimsel devrelere giriş. VHDL'ye giriş. İkili toplama devresi. İkili toplama-çıkarma devresi. Birleşimsel devre tasarımı. Çoklayıcılar (mux). Flip-floplar. Sayıcılar.</p> | | | | |
| Course Learning Outcomes (Dersin Öğrenme Çıktıları) | | | <ol style="list-style-type: none">1. Construct and analyse multi-level combinational logic circuits containing AND, OR, NOT, NAND, NOR, and XOR gates.[10]2. Apply Boolean algebra and Karnaugh maps to simplify the Boolean expressions and design simplified logic circuits using logic gates.[10]3. Design and analyse modular combinational logic circuits containing multiplexers, adders/ subtractors, multipliers and 7-segments display decoders.[10]4. Design and develop sequential circuits.[10]5. Translate real world problems into digital logic formulations, set up them and analyse.[9]6. Simulate a logic circuit using VHDL.[7]7. Develop basic laboratory skills: record data, write well-organized technical reports. [18]8. Acquire the skill of work in team and share responsibilities of circuit construction.[15] <p><i>[Note: Numbers in brackets are the related program outcome PO numbers]</i></p> <ol style="list-style-type: none">1. AND, OR, NOT, NAND, NOR ve XOR kapıları içeren çok katmanlı birleşimsel mantık devrelerini oluşturur ve analiz eder.[10]2. Boole ifadelerini basitleştirmek için Boole cebiri ve Karnaugh haritalarını uygular ve mantık kapılarını kullanarak basitleştirilmiş mantık devreleri tasarlar.[10] | | | | |

| | |
|---|---|
| | <p>3. Çoklayıcılar, toplayıcılar/çıkarcılar, çarpım ve 7 parçalı gösterge çözücüleri içeren modüler birleşimsel mantık devreleri tasarlar ve analiz eder. [10]</p> <p>4. Ardışıl devreler tasarlar ve geliştirir.[10]</p> <p>5. Gerçek hayat problemlerini sayısal mantık devrelerine çevirir, kurar ve analiz eder. [9]</p> <p>6. VHDL kullanarak bir mantık devresinin benzetimini yapar. [7]</p> <p>7. Temel laboratuvar becerilerini geliştirir: veri kaydeder, iyi organize edilmiş teknik raporlar yazar.[18]</p> <p>8. Takım çalışması yapabilme becerisi kazanır ve devre kurulumunda sorumluluk paylaşır. [15]</p> <p><i>[Not: Köşeli parantez içindeki sayılar ilgili program çıktı PÇ numaralarıdır]</i></p> |
| ISCED Category of course (Dersin ISCED Kategorisi) | 071 – Engineering 071 - Mühendislik |
| Textbook (Ders Kitabı) | 1- Digital Design, 6e, M. Morris Mano & Michael D. Ciletti, Pearson 2 - Lab Manual (Deney Kitapçığı) |
| Other References (Yardımcı Kaynaklar) | Lecture notes (Ders notları) |

| COURSE PLAN (DERS PLANI) | |
|-------------------------------------|---|
| Week (Hafta) | Topics (Konular) |
| 1 | Introduction of Laboratory instruments |
| | Laboratuvar cihazlarının tanıtımı |
| 2 | Logic Gates |
| | Mantık Kapıları |
| 3 | VHDL (Verilog Hardware Description Language) |
| | VHDL |
| 4 | Introduction to Combinational Circuits |
| | Birleşimsel Devrelere Giriş |
| 5 | Binary Adder Circuit |
| | İkili Toplama Devresi |
| 6 | Binary Adder – Subtractor Circuit |
| | İkili Toplama-çıkarma Devresi |
| 7 | Combinational Multiplier |
| | Birleşimsel Çarpma |
| 8 | Design of Two-Level Circuits Using NAND and NOR Gates |
| | NAND ve NOR Kapıları ile İkinci Dereceden Devrelerin Tasarımı |
| 9 | Karnaugh Maps |
| | Karnaugh Haritaları |
| 10 | Incompletely Specified Functions Design |
| | Kısmen Tanımlanmış Fonksiyonların Tasarımı |
| 11 | Combinational Circuit Design |
| | Birleşimsel Devre Tasarımı |
| 12 | Multiplexers |
| | Çoklayıcılar |

| | |
|----|-------------------------------------|
| 13 | Flip-Flops |
| | Flip-Floplar |
| 14 | Final Project / Make-up experiments |
| | Dönem projesi / Telafi deneyleri |

DERSİN DEĞERLENDİRME SİSTEMİ
(COURSE ASSESSMENT)

| | Etkinlikler (Activities) | Adet (Quantity) | Katkı Oranı (Contribution) (%) |
|----------------------------------|--------------------------------------|-----------------|--------------------------------|
| Semester Activities | Kısa Sınavlar (Quizzes) | | |
| | Dönem Ödevi / Projesi (Term Project) | 1 | 20 |
| (Yarıyıl İçi Çalışmaları) | Derse Devam (Attendance) | 10 | 0 |
| | Laboratuvar (Laboratory) | | 40 |
| YARIYIL SONU SINAVI (FINAL EXAM) | | 1 | 40 |
| Toplam (Total) | | | 100 |

AKTS İŞ YÜKÜ TABLOSU
(ECTS WORKLOAD TABLE)

| DERS ETKİNLİKLERİ (COURSE ACTIVITIES) | Sayı (Quantity) | Süre (Saat) (Time (h)) | İş Yüğü (saat) (Work - Load (h)) |
|---|-----------------|------------------------|----------------------------------|
| Yarıyıl Sonu Sınavı (Hazırlık Süresi Dahil) (Final Exam (Preparation included)) | 1 | 5 | 5 |
| Dönem Ödevi / Projesi (Term Project) | 1 | 4 | 4 |
| Sınıf Dışı Çalışma Süresi (Out class working time) | 10 | 0.5 | 5 |
| Ödevler (Homework) | 10 | 1 | 10 |
| Sunum (Presentations) | 0 | 0 | 0 |
| Proje (Projects) | 0 | 0 | 0 |
| Laboratuvar (Laboratory) | 14 | 2 | 28 |
| Toplam İş Yüğü (saat) (Total Work - Load (h)) | | | 52 |
| Dersin AKTS Kredisi (Toplam İş Yüğü / 25) (ECTS Credits of the course (Total Work - Load / 25)) | | | 2 |

| | | |
|--|--|--|
| Revizyon/Tarih (Revision/Date) 01.09.2019 02.02.2026 | Koordinatör / Hazırlayan (Coordinator / Prepared by) Dr. Ebru Gürsu Çimen | Onaylayan (Approved by) Prof. Dr. Ahmet Aksen |
|--|--|--|